

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 57103434
 PUBLICATION DATE : 28-06-82

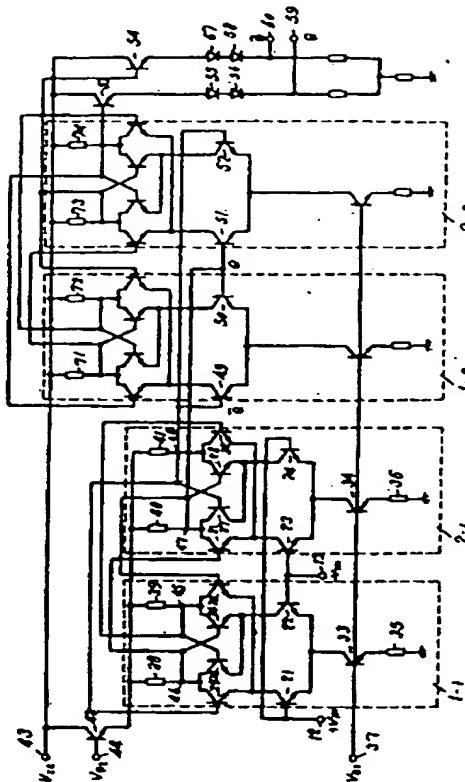
APPLICATION DATE : 17-12-80
 APPLICATION NUMBER : 55179468

APPLICANT : MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR : YAMADA HARUYASU;

INT.CL. : H03K 23/30

TITLE : FREQUENCY DIVIDING CIRCUIT



ABSTRACT : PURPOSE: To reduce the power consumption, by applying a power source voltage lower than that for a 1/2 frequency divider of the succeeding stage to a 1/2 frequency divider of the preceding stage and by connecting the output of the frequency divider of the preceding stage to the input of the frequency divider of the succeeding stage directly.

CONSTITUTION: Since an input signal VIN connected to terminals 12 and 13 is connected with opposite polarities between preceding and succeeding blocks 1-1 and 2-1, an FF of transistors TRs 26 and 25 is inverted in the block 1-1 when the signal VIN is H, and an FF of TRs 27 and 28 is inverted in the block 2-1 when the signal VIN is L, and the 1/2 frequency dividing operation is executed, respectively. Voltages supplied to load resistances 38-41 of blocks 1-1 and 2-1 are given through a TR42 from a bias voltage VB₂ of a terminal 44 lower than a voltage V_{cc} of a terminal 43. Output terminals 47 and 48 of the block 2-1 are connected directly to the input of a differential amplifier consisting of TRs 49-52 of blocks 1-2 and 2-2 of a 1/2 frequency divider of the preceding stage, and the output of a 1/2 frequency divider of the succeeding stage has the level shifted by emitter follower TRs 53 and 54 and diodes 55-58 and is outputted from output terminals 59 and 60.

COPYRIGHT: (C) JPO

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭57—103434

⑫ Int. Cl.³
H 03 K 23/30

識別記号

厅内整理番号
7232—5 J

⑬ 公開 昭和57年(1982)6月28日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 分周回路

⑮ 特 願 昭55—179468
⑯ 出 願 昭55(1980)12月17日
⑰ 発明者 山田晴保

⑮ 出願人 松下電器産業株式会社
門真市大字門真1006番地
⑯ 代理人 弁理士 中尾敏男 外1名

明細書

1. 発明の名称

分周回路

2. 特許請求の範囲

エミッタカップルドロジック構成の多段分周器において、前段の分周器の負荷抵抗の接続される電源電圧を次段の分周器の負荷抵抗の接続される電源電圧よりも低い電源に接続し、前記前段の分周器の出力端子を直接前記次段の分周器入力端子に接続することを特徴とする分周回路。

3. 発明の詳細を説明

本発明はECL(エミッタカップルドロジック)回路で構成された分周回路に関するものである。

従来のECLで構成された分周器の例を第1図に示す。1, 2は等しい回路構成で、トランジスタ(以下T₁と略す)3, 4は入力差動アンプ、T₂, 6はフリップフロップ回路(以下FFと略す)、T₃, 7, 8はブロック2の出力を入力するT₄ゲート、9, 10はエミッタホロワT₅、T₆は

定電流トランジスタである。ブロック2についてもブロック1と構成が等しいので相当するT₇に同一の番号を付す。12, 13は信号の入力端子、14はバイアス電圧端子、15, 16はそれぞれ正負の出力端子である。17は電源端子である。

入力信号はブロック1と2で逆接続されているので動作は入力信号の半周期ごとに異なる。ブロック1は+V_{DD}が“H”になるときにT₂, 6のフリップフロップが反転する。同様にブロック2は+V_{DD}が“L”になるときにフリップフロップが反転する。お互のブロックが反転できるのは、半周期前に耗手側のフリップフロップが反転しているのでT₃, 7のゲートの電圧が反転しているためである。

ところでこの他の分周器ではT₉, 10より成るエミッタホロワが4ヶ使用されている。基本動作で必要なものはT₁の定電流バスだけであるから電源から接地点に至る電流バスは2本から6本になったことにある。エミッタホロワと言えども電流をあまり小さくすると動作スピードが低下

特開昭57-103434(2)

するのであまり小さくすることはできない。従ってこれらのエミッタホロウのために消費電力が大きくなる。分周器の段数が少ない場合には大きな問題ではないが、段数が増加した場合とか1GHz等の分周器には高速スイッチング動作が必要となり1段当たりの電流も増加し消費電力も大きなものとなる。

本発明はこの様な従来の分周器の欠点に鑑み、上記エミッタホロウ回路を削波し、低電力化をはかった分周器を提供するものである。すなわち、本発明は抵抗を負荷とするRC回路で構成された多段分周器において、後段の1/2分周器の電源電圧よりも低い電源電圧を前段の1/2分周器に印加し、前段の1/2分周出力をレベルシフトを介さずに後段の1/2分周器の入力に直接接続することにより電源から接地点に至る電流バスを減少せしめ、低電力化をはかったものである。以下第2図の実施例とともに本発明を説明する。この例では説明の都合上分周器を2段構成にした場合を示す。

第2図において1-1, 2-1は第1図に示す

アス電圧を加え、信号は容量を介して端子1-2に入力する。T₂₉と30のベース電圧を比較した場合V₄₇よりV₄₈が高いのでT₂₉に電流が流れ端子4-6は“L”端子4-7は“H”となる。次に入力パルスV₁が②のタイミングで“L”になるとT₂₂が導通し、T₂₅, T₂₆よりなるフリップフロップが動作してそのまま出力は保持される。一方T₂₃, T₂₄よりなる差動アンプではT₂₃が導通する。T₃₁, T₃₂のベース電圧を比較すると出力端子4-6は“L”で端子4-5は“H”であるからT₃₂が導通する。従ってこれまで“H”であった出力端子4-8は“L”となり、端子4-7は“H”となる。

次に③のタイミングではT₂₄が導通するが、T₂₇, T₂₈のフリップフロップが動作して出力端子4-7, 4-8の状態は保持される。一方T₂₁, T₂₃の差動アンプではT₂₁が導通する。T₂₉, T₃₀のベース電圧を比較した場合、出力端子4-7が“H”，端子4-8が“L”であるのでタイミング①の場合と異なりT₃₀が導通し、端子4-6は

従来のブロック1, 2に相当する。2段目の分周器のブロック1-2, 2-2も同様である。端子1-2, 1-3は信号入力端子、T₂₁, T₂₂とT₂₃, T₂₄はそれぞれ差動アンプを構成する。T₂₅, T₂₆とT₂₇, T₂₈はそれぞれフリップフロップを構成し、T₂₉, T₃₀とT₃₁, T₃₂はブロック1-1と2-1の出力をお互のブロックに入力するゲートトランジスタ、T₃₃, T₃₄と抵抗R₅, R₆はバイアス端子3-7の電圧から定電流を作る回路、抵抗R₈, R₉, R₁₀, R₁₁は負荷抵抗、T₄₂は端子4-3の電源より低い端子4-4のバイアス電圧からブロック1-1, 2-1の電流を作るトランジスタである。

次にこの分周器の動作を説明する。第3図に動作説明のためのバルス波形を示す。出力端子4-5, 4-6, 4-7, 4-8のバルス波形はV₄₅, V₄₆, V₄₇, V₄₈である。入力バルスV₁が①のタイミングで“H”になるとT₂₁が導通する。この分周器が初段の場合端子1-3には適当なバイアス電圧を加え端子1-2には抵抗を介して等しいバイ

“L”，端子4-6は“H”となる。以上のことを繰返すことにより分周動作を行う。

ところで第2図では従来の分周器と比較して第1図のごときエミッタホロウT₂₆, T₁₀が入っていないので例えばT₂₆のコレクタエミッタ間電圧が小さくなり、T₂₆が饱和領域に入りスイッチングスピードが遅くなる可能性がある。しかしながらT₂₆のベースエミッタ間電圧は0.7~0.8Vあり、負荷抵抗R₈の振幅を0.3V程度におさえれば、T₂₆のコレクタ抵抗が極端に大きくなきがりT₂₆を未饱和におさえることは容易である。また負荷抵抗の電流の1部を直接ベース電流とするがT₂₆の電流増幅率を100程度とすれば1%程度なので問題はない。

1段目から2段目への出力はトランジスタT₄₂で前もって電源端子4-3の電圧よりも下げてあるので、出力の直流バイアス電圧はその分だけ低い電圧となり次段のブロック1-2, 2-2で構成される分周器への出力は端子4-7, 4-8から直接出力される。T₄₉, T₅₀とT₅₁, T₅₂は差動ア

ンプを構成し、抵抗 7_1 、 7_2 、 7_3 、 7_4 はその負荷抵抗である。これら差動アンプを構成する T_E のベースに前段の分周器の出力信号が直接入力される。2段目の分周器の動作については前記で説明した1段目の分周器と同様である。ただし入力の電圧が高くなるため全体的にバランス電圧レベルを高くする必要があるので、負荷抵抗 7_1 、 7_2 、 7_3 、 7_4 は直接電源端子 4_3 に接続されている。電源が $6V$ 程度以上であれば2段分の分周器を直接接続することが可能である。2段以上は出力端子のレベルシフトをしないと次段への接続が不可能であるのでエミッタホロウトランジスタ 5_3 、 5_4 とダイオード 5_6 ～ 5_8 もってレベルシフトを行う。出力信号は端子 5_9 、 6_0 からとり出され、直流レベルも次の2段構成の分周器の入力に直結されるのに最適な電圧になる。

第2図の例では電源よりも低い電圧を作るのにバイアス電圧 V_{B2} とトランジスタ 4_2 を用いたが、このトランジスタ 4_2 の換りに T_E21 、 22 と T_E23 、 24 から構成される差動増幅器の定電圧

特開昭57-103434(3)

特性を利用して抵抗 3_8 、 3_9 の電源側の端子を接続し、この接続点と電源とを適当な電圧降下を生ずる共通抵抗で接続し、同様に抵抗 4_0 、 4_1 の電源側の端子も同様に接続してもよい。なぜなら前記共通抵抗を流れる電流は一定であるのでこの抵抗の両端の電圧は常に一定である。寄生容量等によるリップルの影響が小さければこの構成でも充分である。また同様な理由により抵抗 3_8 、 3_9 、 4_0 、 4_1 の電源側の端子を全部接続し、この接続点と電源とを適当な電圧降下を生ずる様な1本の共通抵抗で接続しても良い。

以上の本発明の分周器構成によれば次の効果を得ることができる。

- (1) 分周器2段分でエミッタホロウを6回路なくすることができ、電源から接地点までの電流バスを従来の12個から6個に減らすことができ。定電流源とエミッタホロウの駆流を等しいとすると電力は均に削減できる。
- (2) 出力端子およびフリップフロップのエミッタホロウが除去できたので信号伝達のバスが短か

くなり、スイッチング速度が早まり、分周できる最大周波数が向上できる。

以上の本発明の実施例では分周器2段構成ごとにエミッタホロウを入れてレベルシフトするものであるが、電源に余裕があれば3段構成でもそれ以上の直結が可能である。3段構成であれば電力は44%に低減できる。この分周器は半導体集積回路に適したもので上記効果を十分発揮できるものである。

4. 図面の簡単な説明

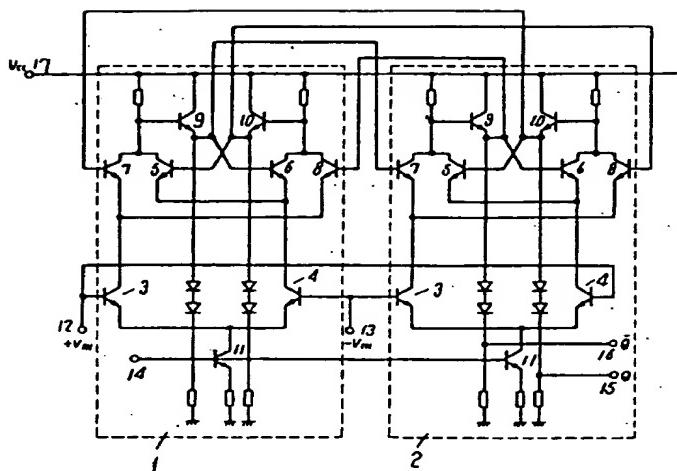
第1図は従来の分周器図、第2図は本発明の分周器の一実施例の回路図、第3図は本発明の分周器の分周動作を説明するためのタイミング図である。

1-1、1-2、2-1、2-2……分周ブロック、12、13……信号入力端子、21～32……トランジスタ、42……トランジスタ、43……電源端子、44……電源より低い端子、45～48……出力端子。

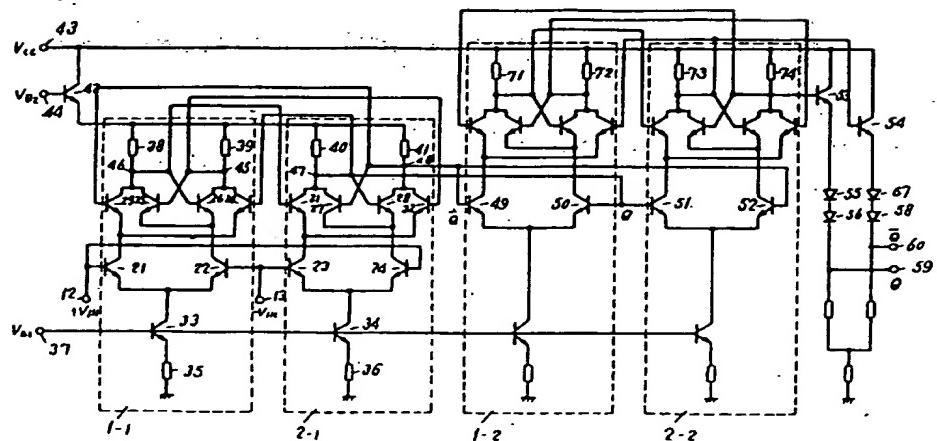
代理人の氏名 井理士 中 尾 敏 男 担当者1名

昭57-103434(4)

第 1 図



第 2 図



第 3 図

